

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 57-053136

(43)Date of publication of application : 30.03.1982

(51)Int.Cl.

H03K 3/289

(21)Application number : 55-128314

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 16.09.1980

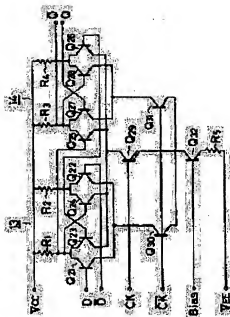
(72)Inventor : NAGATA MITSURU

(54) FLIP-FLOP CIRCUIT

(57)Abstract:

PURPOSE: To reduce the number of elements to be used, by controlling differential circuits by a common control source in a flip-flop circuit consisting of two bistable circuits which have two differential circuits respectively.

CONSTITUTION: Emitters of transistors TRs Q23 and Q24 of a master flip-flop 13 and TRs Q25 and Q26 of a slave flip-flop 14 are connected commonly and are connected to the collector of a multiemitter TR Q29. Emitters of TRs Q21 and Q22 of the master flip-flop 13 and TRs Q27 and Q28 of the slave flip-flop 14 are connected in common and are connected to collectors of TRs Q30 and Q31, and emitters of TRs Q30 and Q31 are connected to the collector of a TR Q32, which is a current source, together with the emitter of a TR Q29.



⑬ 日本国特許庁 (JP)

① 特許出願公開

⑬ 公開特許公報 (A)

昭57—53136

⑤ Int. Cl.³

H 03 K 3/289

識別記号

庁内整理番号

7631-5J

③ 公開 昭和57年(1982)3月30日

発明の数 1

審査請求 未請求

(全 6 頁)

④ フリップフロップ回路

横浜市磯子区新磯子町33番地東

京芝浦電気株式会社社会響工場内

② 特 願 昭55—128314

② 出 願 人 東京芝浦電気株式会社

② 出 願 昭55(1980)9月16日

川崎市幸区堀川町72番地

② 発 明 者 永田満

② 代 理 人 弁理士 鈴江武彦 外 2 名

明 細 書

1. 発明の名称

フリップフロップ回路

2. 特許請求の範囲

一方の被制御電極同志が共通接続された1対のスイッチングトランジスタよりなる第1及び第2の差動回路から構成される第1の安定回路と、この第1の安定回路の出力が入力され一方の被制御電極同志が共通接続された1対のスイッチングトランジスタよりなる第3及び第4の差動回路から構成される第2の安定回路とを有するフリップフロップ回路において、前記スイッチングトランジスタの他方の被制御電極の共通部分同志を接続して同一制御源で制御してなることを特徴とするフリップフロップ回路。

3. 発明の詳細な説明

この発明はフリップフロップ回路の改良に関する。

周知のように、低消費電力かつ高速のロジック回路には、ECL (Emitter Coupled Logic)

が有効であり、特に高集積度集積回路には差動回路が有効である。そして、このような差動ECLは、近時では位相同期ループ(PLL)を用いた周波数シンセサイザ方式チューナ等のプリスクエアに多く使用されている。

第1図は、このような従来のECLによるマスタースレーブ形Dフリップフロップ回路を示すもので、第2図にその具体的回路構成を示している。まず、トランジスタ Q_1 、 Q_2 のベースつまり入力端D、 \bar{D} に入力がない状態では、このトランジスタ Q_1 、 Q_2 及びトランジスタ Q_3 はオフ状態を保っている。この状態で、クロック端子CK、 \bar{CK} にクロック入力があると、トランジスタ Q_1 または Q_2 によって、トランジスタ Q_3 、 Q_4 、 Q_7 、 Q_8 でなる安定回路の状態がセットされる。そして、例えばトランジスタ Q_1 のベース(入力端D)に入力があると、トランジスタ Q_1 、 Q_2 がオンとなり、したがってトランジスタ Q_3 、 Q_4 のコレクタ電位が変化し、スレーブフリップフロップ部分12

のトランジスタ Q_1 、 Q_2 の状態が反転し、結局トランジスタ Q_1 、 Q_2 の状態が反転され、出力端子 Q_1 、 Q_2 に出力が生じる。つまり、マスターフリップフロップ部分1-1のトランジスタ Q_1 、 Q_2 に保持された内容がトランジスタ Q_3 のベース入力によってスレーブフリップフロップ部分1-2のトランジスタ Q_7 、 Q_8 に移されるようになる。

しかしながら、上記のような従来のフリップフロップ回路では、素子数が多く構成も複雑であり、高密度集積回路に適さないという問題がある。

この発明は上記事情を考慮してなされたもので、簡易な構成で高密度集積回路化に好適する極めて良好なフリップフロップ回路を提供することを目的とする。

以下、この発明の一実施例について図面を参照して詳細に説明する。第3図はここで説明する実施例の外観図を示すもので、第4図にその具体的回路構成を示している。すなわち、入力

Q_{11} の各コレクタ共通接続点は、それぞれ出力端子 Q_1 、 Q_2 に接続されている。

ここで、上記トランジスタ Q_{11} 、 Q_{12} 、 Q_{13} 、 Q_{14} の各エミッタは共通接続されており、その接続点は、NPN形マルチエミッタトランジスタ Q_{15} のコレクタに接続されている。このトランジスタ Q_{15} のベースはクロック端子 CK に接続されている。

また、上記トランジスタ Q_{21} 、 Q_{22} 及び Q_{27} 、 Q_{28} のエミッタは、それぞれ共通に接続されており、その各接続点はNPN形トランジスタ Q_{29} 、 Q_{31} のコレクタにそれぞれ接続されている。このトランジスタ Q_{29} 、 Q_{31} のベースは共通にクロック端子 CK に接続されている。

ここで、上記トランジスタ Q_{33} 、 Q_{34} 、 Q_{35} の各エミッタは共通接続されており、その接続点はNPN形トランジスタ Q_{36} のコレクタに接続されている。このトランジスタ Q_{36} のベースはバイアス端子 $Bias$ に接続され、エミッタは抵抗 R_1 を介して直流電源 V_{SS} に接続されている。

端子 D 、 \bar{D} はそれぞれマスターフリップフロップフリップフロップ部分1-3のNPN形トランジスタ Q_{41} 、 Q_{42} のベースに接続されている。このトランジスタ Q_{41} 、 Q_{42} の各コレクタは、それぞれ他のNPN形トランジスタ Q_{43} 、 Q_{44} のコレクタと共通接続されており、その各接続点は抵抗 R_1 、 R_2 を介して直流電源 V_{CC} に接続されるとともに、トランジスタ Q_{45} 、 Q_{46} のベースにそれぞれ接続されている。また、トランジスタ Q_{51} 、 Q_{52} のコレクタ共通接続点は、スレーブフリップフロップ部分1-4のNPN形トランジスタ Q_{53} 、 Q_{54} のベースにそれぞれ接続されている。このトランジスタ Q_{53} 、 Q_{54} の各コレクタは、それぞれ他のNPN形トランジスタ Q_{57} 、 Q_{58} のコレクタと共通接続されており、その各接続点は抵抗 R_1 、 R_2 を介して直流電源 V_{CC} に接続されるとともに、トランジスタ Q_{59} 、 Q_{57} のベースにそれぞれ接続されている。また、トランジスタ Q_{61} 、 Q_{57} 及びトランジスタ Q_{62} 、

そして、上記実施例のような構成によれば、マスター及びスレーブフリップフロップ部分1-3、1-4の各トランジスタ Q_{41} 乃至 Q_{46} のエミッタを共通接続し、1個のトランジスタ Q_{45} で制御するようにするとともに、トランジスタ Q_{51} 、 Q_{53} 及びトランジスタ Q_{57} 、 Q_{59} の各エミッタを共通接続してトランジスタ Q_{56} 、 Q_{51} で制御するようにしたので、差動トランジスタ Q_{41} 乃至 Q_{46} のドライブ用差動回路のトランジスタ Q_{45} 乃至 Q_{46} の数が減少し、従来図2図に示すようにトランジスタ Q_1 乃至 Q_{15} を4個も用いなくて済み、また各トランジスタ Q_{41} 乃至 Q_{46} を制御するトランジスタ Q_{45} も1個で済むため、従来に比して極めて構成が簡易となり、高密度集積回路化に好適なものである。

第5図はこの発明の第2の実施例を示すもので、同タイプのDフリップフロップ A 、 B を縦続接続した使用状態を示すものである。そして、今Dフリップフロップ A 、 B を2段縦続接続した場合の具体的回路構成は、第6図に示す通り

である。なお、第6図において、DフリップフロップBの各差動トランジスタの符号には全てダッシュを付してある。

このような構成によれば、各トランジスタ Q_{12} 乃至 Q_{14} のエミッタ及びトランジスタ Q_{16} 乃至 Q_{18} のエミッタは、それぞれNPN形トランジスタ Q_{22} 、 Q_{24} で制御され、またトランジスタ Q_{21} はトランジスタ Q_{27} 、 Q_{29} 、 Q_{31} 、 Q_{33} の各エミッタを共通に制御し得るのでドライブ用差動トランジスタ Q_{30} 、 Q_{31} 、 Q_{32} 、 Q_{34} 、 Q_{35} が、無駄なく使用できる。また、上記ドライブ用差動トランジスタ Q_{30} 、 Q_{31} 、 Q_{32} 、 Q_{34} 、 Q_{35} を制御するトランジスタ Q_{36} は1個で済み、この点でもトランジスタ数を減らすことができる。すなわち、フリップフロップの複雑接続数が多い程、ドライブ用トランジスタの有効利用ができ、構成簡易となるものである。

また、第7図はこの発明の第3の実施例を示すものであり、1個のDフリップフロップを用いて1/2分周回路を構成したもので、その具体

的回路構成を第8図に示している。すなわち、この場合、トランジスタ Q_{12} 乃至 Q_{14} のエミッタをトランジスタ Q_{22} で共通に制御し、トランジスタ Q_{27} 、 Q_{29} 、 Q_{31} 、 Q_{33} のエミッタをトランジスタ Q_{37} で共通に制御するように構成すればよく、より構成が簡易となる。

さらに、第9図はこの発明の第4の実施例を示すもので、先に第6図で説明したものに於いて、ドライブ用差動トランジスタ Q_{30} 、 Q_{31} 、 Q_{32} をNPN形マルチエミッタトランジスタ Q_{38} 乃至 Q_{40} で構成したものである。

また、第10図はこの発明の第5の実施例を示すものであり、2個のDフリップフロップA、Bを用いて1/4分周回路を構成したもので、その具体的回路構成を第11図に示している。そして、この場合、トランジスタ Q_{12} 、 Q_{16} 、 Q_{27} 、 Q_{31} の各エミッタを、1個のトランジスタ Q_{36} で共通に制御させるようにしたものである。

なお、この発明は上記各実施例に限定される

ものではなく、この外その要旨を逸脱しない範囲で種々変形して実施することができる。

したがって、以上詳述したようにこの発明によれば、簡易な構成で高密度集積回路化に好適する極めて良好なフリップフロップ回路を提供することができる。

4. 図面の簡単な説明

第1図及び第2図はそれぞれ従来のフリップフロップ回路を示す外観図及びその回路構成図、第3図及び第4図はそれぞれこの発明に係るフリップフロップ回路の一実施例を示す外観図及びその回路構成図、第5図及び第6図はそれぞれこの発明の第2の実施例を示す外観図及びその回路構成図、第7図及び第8図はそれぞれこの発明の第3の実施例を示す外観図及びその回路構成図、第9図はこの発明の第4の実施例を示す回路構成図、第10図及び第11図はそれぞれこの発明の第5の実施例を示す外観図及びその回路構成図である。

13…マスターフリップフロップ部分、14

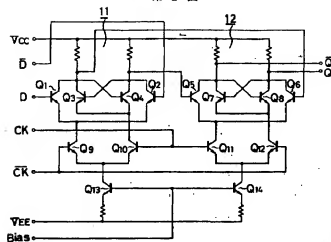
…スレーブフリップフロップ部分。

出願人代理人 井野士 南 江 武 彦

第 1 図



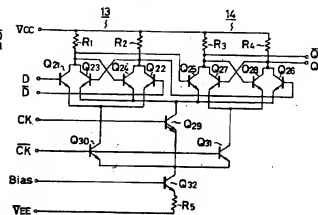
第 2 図



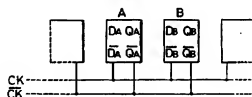
第 3 図



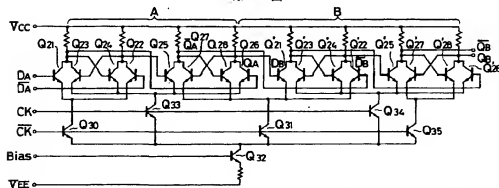
第 4 図



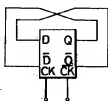
第 5 図



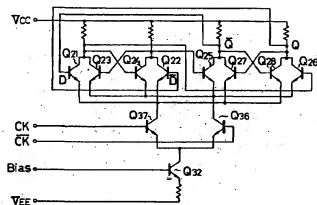
第 6 図



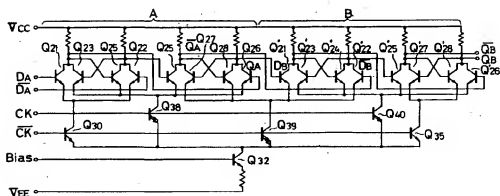
第 7 図



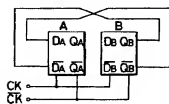
第 8 図



第 9 図



第 10 図



第 11 図

